

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-310422

(43)Date of publication of application : 14.12.1989

(51)Int.Cl. G06F 1/00  
G06F 11/30

(21)Application number : 63-140726

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 08.06.1988

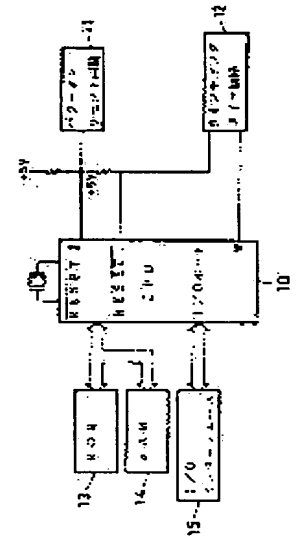
(72)Inventor : TOKUNAGA MASAHIRO  
MAKINO FUMIO

## (54) RESETTING CIRCUIT FOR MICROCOMPUTER

### (57)Abstract:

**PURPOSE:** To detect the failure of a watch dog timer circuit by providing a resetting input signal line for the resetting signal of the watch dog timer circuit independently of other resetting input signal line for a circuit and assigning respectively mutually different interruption vectors.

**CONSTITUTION:** A microcomputer system is composed of a CPU 10, a power on resetting circuit 11 to have a function to output a resetting signal at the time of the power source on, always monitor the supply voltage and output a resetting signal at the time of the supply voltage abnormality, a watch dog timer circuit 12 to monitor a watch dog pulse W of the CPU 10 and output the resetting signal at the time of abnormality detection, a ROM 13, a RAM 14, an I/O interface 15, etc. The resetting signal output of the watch dog timer circuit 12 is provided separately from a resetting input terminal RESET0 of a power only resetting circuit 11 to assign a vector 0, and connected to a resetting input terminal RESET1 to assign an interruption vector 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-310422

⑤ Int. Cl.<sup>4</sup>

G 06 F 1/00  
11/30

識別記号

3 5 0  
3 1 0

庁内整理番号

B-7459-5B  
B-7343-5B

④ 公開 平成1年(1989)12月14日

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 マイクロコンピュータのリセット回路

⑮ 特 願 昭63-140726

⑯ 出 願 昭63(1988)6月8日

⑰ 発 明 者 徳 永 昌 弘 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑱ 発 明 者 牧 野 文 雄 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑳ 代 理 人 弁理士 鎌田 文二

明 細 書

1. 発明の名称

マイクロコンピュータのリセット回路

2. 特許請求の範囲

- (1) マイクロコンピュータのリセット回路において、互いに相異なる割込みベクトルが割り当てられたリセット割込み用の2つのリセット入力信号線を設け、これら2つのリセット入力信号線にウォッチドッグタイマ回路のリセット信号出力とウォッチドッグタイマ回路以外のリセット信号出力をそれぞれ互いに独立に入力するようにしたことを特徴とするマイクロコンピュータのリセット回路。
- (2) ウォッチドッグタイマ回路をマイクロコンピュータ内部に有することを特徴とする請求項1記載のマイクロコンピュータのリセット回路。
- (3) ウォッチドッグタイマ回路をマイクロコンピュータに外付けしたことを特徴とする請求項1記載のマイクロコンピュータのリセット回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、マイクロコンピュータ(以下、マイコンとも呼称する)に関し、特にマイクロコンピュータのリセット回路に関するものである。

(従来の技術)

従来、マイクロコンピュータにおいては、いわゆるウォッチドッグタイマを用いてソフトウェアの暴走やハードウェアの異常等を検出することが行われている。これは、マイコンの動作が正常であれば、そのことを示すパルス(ウォッチドッグパルス)Wを所定周期で出力し、これによってタイマ(ウォッチドッグタイマ)をその所定周期毎にリセットし、このウォッチドッグパルスWが欠落するかまたは周期が所定値を超えると、ウォッチドッグタイマがタイムアップすることによりマイコンにリセット信号を出力して、マイコンにリセット/再起動、あるいは警報出力等、リセット割込みによる所定の動作(例外処理)を行わせるようにしたものである。

上記のようなマイクロコンピュータにおいては、第4図(a)に示すように、ウォッチドッグパルスW

を監視するウォッチドッグタイマ回路41からのリセット信号は、電源オン時にリセット信号を出力し、また電源電圧異常時にリセット信号を出力する機能を合わせ持つパワーオンリセット回路42のリセット信号出力とワイヤードオア接続されてマイコンCPU) 40のRESET 入力端子に入力されるか、または第4図(b)に示すように、CPU40のRESET 入力端子に入力されるパワーオンリセット回路42リセット信号出力と分離して、NMI (マスク不能割込み) 入力端子に入力される。

〔発明が解決しようとする課題〕

上記のようなウォッチドッグタイマ回路を有するマイクロコンピュータにあって、ウォッチドッグタイマ回路の故障発生率は必ずしも低くないのかかわらず、ウォッチドッグタイマ回路の故障検知は今まででなされていなかった。このようにウォッチドッグタイマ回路に故障が発生しても検知されないとする、他の回路で故障が発生したり、あるいはノイズ等でマイコンが暴走した時等、そのマイコンを用いたシステムにとって不具合な出

作はマイクロプログラムレベルの暴走の場合、割込みが効かない場合もあり得るし、さらには、NMI動作は一般的にマイコン内部のハードウェアを完全にはリセットしないため、NMI動作の直後にマイコンが異常出力をしてしまうことがあり得る等の問題がある。

この発明は、上記の事情に鑑みなされたもので、その目的は、ウォッチドッグタイマ回路の故障検出が可能でマイクロコンピュータの信頼性を向上させ得るマイクロコンピュータのリセット回路を提供することにある。

〔課題を解決するための手段〕

上記目的達成のため、この発明は、ウォッチドッグタイマ回路を有するマイクロコンピュータのリセット回路において、互いに相異なる割込みベクトルが割り当てられたリセット割込み用の2つのリセット入力信号線を設け、これら2つのリセット入力信号線にウォッチドッグタイマ回路のリセット信号出力とウォッチドッグタイマ回路以外のリセット信号出力をそれぞれ互いに独立に入力する

力が長時間出力される事態を招く危険性がある。

そのため、ウォッチドッグタイマ回路の故障検知は極めて望ましいが、上記の第4図(a)に示すようなウォッチドッグタイマ回路41のリセット信号をパワーオンリセット回路42の出力と共にワイヤードオア接続して、マイコン40のRESET 入力端子に入力するリセット回路では、ウォッチドッグタイマ回路41の故障検出は不可能である。

即ち、第4図(a)の回路では、ウォッチドッグタイマ回路41の故障検出を行うために、例えばウォッチドッグタイマ回路41に異常なウォッチドッグパルスまたはテスト信号を入力する等により強制的にリセット信号を出力させると、CPU40にリセットが掛かり、内部の初期化が行われるため、ウォッチドッグタイマ回路41の故障検出はできなくなる。また、この回路ではウォッチドッグタイマ回路41からのリセット信号と他の回路からのリセット信号との識別が不可能である。

他方、第4図(b)の回路では、ウォッチドッグタイマ回路41の故障検出は可能であるが、NMI動

ようにしたものである。

なお、ウォッチドッグタイマ回路はマイクロコンピュータに内蔵されたものでも外付けされたものでも良い。

〔作用〕

上記の構成を有するこの発明のマイクロコンピュータのリセット回路にあって、ウォッチドッグタイマ回路からのリセット信号はウォッチドッグタイマ回路以外の回路からのリセット信号と異なるリセット入力信号線に入力されるので、ウォッチドッグタイマ回路からのリセット信号と他の回路からのリセット信号とを識別することができる。この場合、ウォッチドッグタイマ回路用のリセット入力信号線には他の回路用のリセット入力信号線とは異なる割込みベクトルが与えられており、ウォッチドッグタイマ回路からリセット信号が入力されると、そのベクトルへのジャンプによって独特のリセット割込み処理が実行される。また、どちらのリセット入力信号線にリセット信号が入力されてもマイコン内部が初期化されるので、NM

1 入力端子にリセット信号を入力する場合のように、暴走の種類次第で割込みが効かないというような事態は解消される。

ウォッチドッグタイマ回路の故障検出を行うには、例えば電源オン時、パワーオンリセットが解除された後のイニシャルチェック時にマイコンの指定されたポートから異常なウォッチドッグパルス信号をウォッチドッグタイマ回路へ入力し、ウォッチドッグタイマ回路からマイコンのウォッチドッグタイマ回路用のリセット入力信号線へリセット信号を強制的に出力させ、マイコンがリセットされるかどうかをチェックする。このリセット入力によってマイコン内部は初期化され、レジスタ類がクリアされると共に、所定のベクトルへのジャンプが行われ、そのベクトルの命令が実行される。  
〔実施例〕

以下、この発明によるマイクロコンピュータのリセット回路の一実施例について第1図乃至第3図を参照しつつ説明する。

第1図はこの発明のマイクロコンピュータのリ

セット信号出力により  $\overline{\text{RESET0}}$  (第3図のフローチャートのステップ300) の割込みが行われ、ベクトル0の命令により  $\tau_0$  (第2図) においてマイコンが初期設定され、立ち上がる。次に、マイコンの特定のポート (例えばポートW) が設定され (ステップ301)、ウォッチドッグタイマをリセットするためのウォッチドッグパルスWがウォッチドッグタイマ回路12へ出力される ( $\tau_1$ )。

次に、CPU10側でプログラムによりウォッチドッグパルスWを上記タイムアップ時間t以上亘って出力しないことによって、つまり第2図の  $\tau_2$  のタイミングでのウォッチドッグパルスWを禁止することでウォッチドッグタイマ回路12が正常であれば、ウォッチドッグタイマ回路12のリセット信号がCPU10の  $\overline{\text{RESET1}}$  の入力端子に出力され ( $\tau_3$ )、割込みベクトル1の処理を実行し ( $\tau_4$ ; ステップ304)、イニシャルチェックルーチンが実行される (ステップ305)。一方、ステップ302 から上記タイムアップ時間tを経過してもウォッチドッグタイマ回路12よりCPU10の  $\overline{\text{RESET}}$

セット回路を組み込んだマイコンシステムの一実施例を示し、図示実施例のシステムは、マイクロコンピュータ (CPU) 10、電源オン時にリセット信号を出力し、また電源電圧を常時監視して電源電圧異常時にはリセット信号を出力する機能を合わせ持つパワーオンリセット回路11、CPU10のウォッチドッグパルスWを監視して、その異常検出時にリセット信号を出力するウォッチドッグタイマ回路12、プログラム記憶用のROM (リードオンリーメモリ) 13、データ記憶用のRAM (ランダムアクセスメモリ) 14、各種センサや制御対象機器に接続されたI/O (入出力) インターフェース15等で構成されている。

ウォッチドッグタイマ回路のリセット信号出力は、ベクトル0が割り当てられたパワーオンリセット回路11のリセット入力端子  $\overline{\text{RESET0}}$  とは別個に設けられ、割込みベクトル1が割り当てられたリセット入力端子  $\overline{\text{RESET1}}$  に接続されている。

この実施例のマイコンシステムは、まず電源オンによってパワーオンリセット回路11からのリセッ

トにリセット信号が入力されないと、CPU10はウォッチドッグタイマ回路12の機能が異常と判定して、システムダウンモードに入る (ステップ303)。

上記ステップ305のイニシャルチェックでウォッチドッグタイマ回路12以外の部分に異常があれば、やはりシステムダウンモードに入る (ステップ308)。このイニシャルチェックで異常がなければ、 $\tau_5$  において通常制御のルーチンへ移行する (ステップ307)。この通常制御ルーチンの実行中、CPU10は、常時ウォッチドッグタイマ回路12からのリセット信号出力の有無を監視し、例えば  $\tau_6$  においてマイコン側の何等かの異常によりウォッチドッグパルスWが異常となり、 $\overline{\text{RESET1}}$  にリセット信号が入力されると ( $\tau_7$ )、割込みベクトル1の処理を再び行う (ステップ304)。

〔発明の効果〕

以上説明したように、この発明のマイクロコンピュータのリセット回路は、ウォッチドッグタイマ回路のリセット信号用のリセット入力信号線を

その他の回路用のリセット入力信号線と別個に設け、それぞれ互いに異なる割込みベクトルを割り当てたため、このように僅かの回路及びソフトウェアの追加するだけで、ウォッチドッグタイマ回路の故障検出が可能となり、マイクロコンピュータあるいはマイコンシステムの信頼性向上に少なからず貢献し得る。

#### 4. 図面の簡単な説明

第1図はこの発明によるマイクロコンピュータのリセット回路を適用したマイクロコンピュータシステムの一実施例のブロック図、第2図及び第3図はそれぞれこの実施例の動作を説明するためのタイミング図及びフローチャート、第4図(a)及び(b)はそれぞれ従来技術によるマイクロコンピュータのリセット回路の一例を示すブロック図である。

10……マイクロコンピュータ(CPU)、

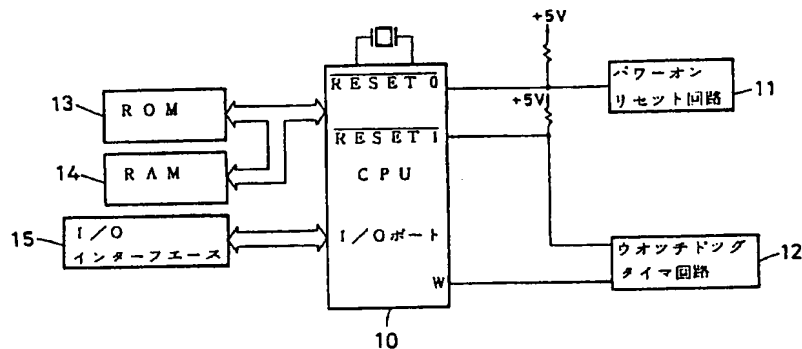
11……パワーオンリセット回路、

12……ウォッチドッグタイマ回路、

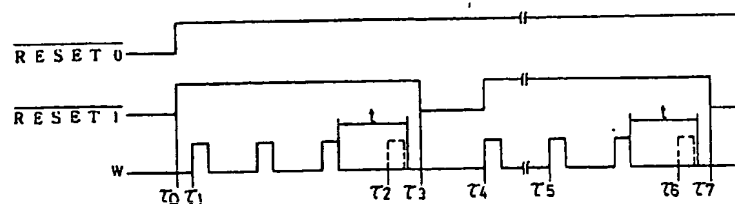
W……ウォッチドッグパルス、

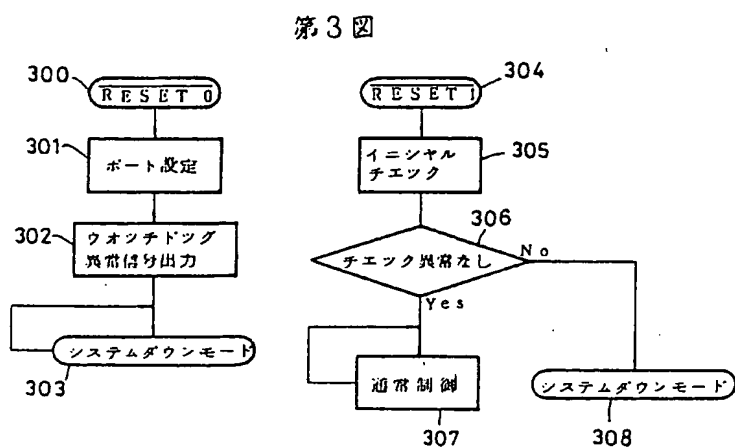
RESET0, RESET1……リセット入力端子。

第1図

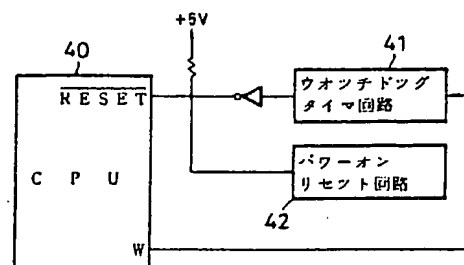


第2図

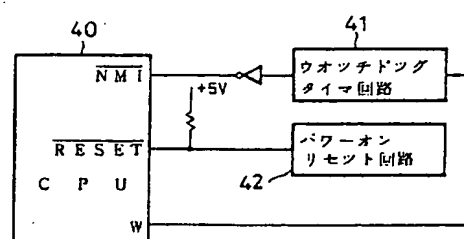




第4図 (a)



(b)



**THIS PAGE BLANK (USPTO)**